

运用电路蕴涵及拓扑信息提高数字 电路故障压缩效率

胡晓菁, 宋政湘, 王建华, 耿英三, 申望

(西安交通大学电力设备电气绝缘国家重点实验室, 710049, 西安)

摘要: 为提高数字电路故障诊断的效率, 针对传统故障压缩算法的压缩率不高、计算复杂的问题, 提出新的解决方法. 与传统方法不同, 该方法通过对故障检测函数的分析得出决定电路中特殊结构的故障关系规律. 首先利用电路蕴涵信息推导出电路中节点与其支配点之间故障等价与支配关系, 随后总结出具有重汇聚扇出源与其分支之间故障关系的规律, 故障关系与扇出分支的反向奇偶特性密切相关, 并且受重汇聚节点逻辑功能影响, 进而发展为运用电路蕴涵及拓扑信息来压缩故障的方法. 基于 ISCAS85 Benchmark 的实验结果表明, 该方法可有效判断出电路中可测故障的等价与支配关系, 并且实现简单, 计算量较小.

关键词: 蕴涵; 拓扑信息; 故障压缩; 故障诊断

中图分类号: TP391.7; TN407 **文献标志码:** A **文章编号:** 0253-987X(2008)08-0958-05

Fault Collapsing Efficiency Improvement in Digital Circuits with Implication and Topological Information

HU Xiaojing, SONG Zhengxiang, WANG Jianhua, GENG Yingsan, SHEN Wang

(State Key Laboratory of Electrical Insulation and Power Equipment, Xi'an Jiaotong University, Xi'an 710049, China)

Abstract: To improve the efficiency of fault diagnosis in digital circuits, a novel method is proposed to solve inefficient compacting and complex computing in the traditional algorithms. Compared with traditional method, the rules that determine fault relations in special structure are summarized by analyzing fault detect function. The equivalence and dominance fault between node and its dominator with implications are identified, then the fault equivalence and dominance rule for reconvergent fan-out stem and branches is also found out, which is not only depended on topological structure in circuit, namely, inversion parity of branches, but also influenced by logic function of reconvergent point. Moreover, the fault collapsing method using implication and topological information is presented. The experimental results based on ISCAS85 benchmark show that this method enables to identify equivalence and dominance fault in circuit effectively with a slight computation task.

Keywords: implication; topological information; fault collapsing; fault diagnosis

数字电路故障诊断包括故障测试和故障定位. 首先由故障测试通过某种算法生成覆盖目标故障列表的测试集, 判断故障是否存在, 之后故障定位完成

可能发生故障的区分^[1-2]. 因此, 为了提高故障诊断的效率, 针对单固定故障采用故障压缩的方法减少目标故障数目, 从而缩短测试生成、故障仿真的时间.

故障压缩可分为等价故障和支配故障两种分析方法^[3],目前的研究集中在分析等价故障,支配故障分析较少.文献[4]首先提出通过电路结构分析得到等价故障^[4],文献[5-6]分别提出针对小规模电路的等价故障结构判别方法,功能分析主要通过学习蕴涵知识判别等价故障^[7-10],文献[11]通过分析扇出分支等价关系完成故障压缩.以上的分析方法都是针对小规模、单输出无扇出电路,且计算量大,这些方法应用于实际电路测试诊断还具有一定的局限性.在实际测试生成算法中仍以所有检查点的故障作为目标故障集^[12-13],即所有电路原始输入和扇出分支上的可检测故障,不再做进一步分析.

本文针对可检测的单固定型故障,引入故障检测函数,首先从布尔代数的理论出发分析节点与其支配点间的故障关系,具有重汇聚扇出源及其分支间的故障关系,完成对目标故障集进行进一步压缩,最终形成快速、有效的故障压缩方法,最后通过标准电路进行验证,该方法可以判断出一个大规模电路中可测故障的等价与支配关系.

1 故障关系的判别方法

研究的前提是故障的可检测,即故障可以通过路径敏化的方法传播至原始输出,本文通过引入故障检测函数定义可检测故障,分析故障的等价及支配关系.

1.1 故障检测函数的定义

故障 x/b 的检测函数为

$$t(x_1, x_2, \dots, x_n) = f(x_1, x_2, \dots, x_n) \oplus f_x(x_1, x_2, \dots, x_n, b) \quad (1)$$

式中: $f(x_1, x_2, \dots, x_n)$ 是电路无故障时的实现函数; $f_x(x_1, x_2, \dots, x_n, b)$ 是电路任意引线 x 存在故障 x/b 时电路的实现函数, $x_1, x_2, \dots, x_n$ 是电路的原始输入; n 为原始输入的数目. 当 $t(x_1, x_2, \dots, x_n) = 1$ 时,该函数的解是检测故障 x/b 的测试向量.

f 是任意自变量 x 的函数,令 $f = A \oplus Bx$, 其中 $A, B \in (0, 1)$, 且 A, B 与其他输入有关, $f(x_1, x_2, \dots, x_n) = A \oplus Bg$, $f_x(x_1, x_2, \dots, x_n) = A \oplus Bb$.

$$t(x_1, x_2, \dots, x_n) = f \oplus f_x = (g \oplus b) \frac{df}{dx} = (g \oplus b)B \quad (2)$$

式中: g 为引线 x 的无故障值; $(g \oplus b)$ 为故障激活的条件; df/dx 为故障 x/b 从引线 x 传播至 f 的条件.

1.2 故障等价与支配

对于两个可检测的单固定故障 l_1/b 和 l_2/c , 检测函数分别为 $t_1 = t_1(x_1, x_2, \dots, x_n)$, $t_2 = t_2(x_1, x_2, \dots, x_n)$.

故障 l_2/c 和 l_1/b 等价,即这两个故障具有完全相同的测试,它们在功能上不可区分,即 $t_1 = t_2$. 故障 l_2/c 支配 l_1/b ,即任何检测到 l_1/b 的测试都可以检测到 l_2/c ,满足 $t_1(1 \oplus t_2) = 0$,即 $t_1 t_2 = t_1$.

2 支配点故障关系分析

电路 f 中所有由引线 l_1 出发至任意原始输出的路径都经过 l_2 ,即 l_2 是 l_1 的支配点,令 l_1 的逻辑函数为 $g_1 = g_1(x_1, x_2, \dots, x_n)$, l_2 的逻辑函数为 $g_2 = g_2(x_1, x_2, \dots, x_n)$, 引线 l_1, l_2 上的故障分别为 l_1/b 和 l_2/c . $f = A \oplus Bg_2$, $g_2 = C \oplus Dg_1$, 其中 A, B, C 和 D 与原始输入 $x_1, x_2, \dots, x_n$ 有关, $A, B, C, D \in (0, 1)$.

根据式(2),故障 l_1/b 和 l_2/c 的检测函数分别为

$$t_1 = (g_1 \oplus b) \frac{df}{dg_1} = (g_1 \oplus b)BD \quad (3)$$

$$t_2 = (g_2 \oplus c) \frac{df}{dg_2} = (g_2 \oplus c)B \quad (4)$$

若 $c = g_2(x_1, x_2, \dots, x_n, b)$, 即 $c = C \oplus Db$, 可得 $t_2 = (g_2 \oplus c) \frac{df}{dg_2} = (g_1 \oplus b)BD = t_1$, 即故障 l_1/b 和 l_2/c 等价.

若 $(g_1 \oplus b)(g_2 \oplus c) = g_1 \oplus b$, 可得 $t_1 t_2 = (g_1 \oplus b)BD = t_1$, 即故障 l_2/c 支配故障 l_1/b .

结论 1 电路中引线 l_2 是 l_1 的支配点, l_1 的逻辑函数为 $g_1 = g_1(x_1, x_2, \dots, x_n)$, l_2 的逻辑函数为 $g_2 = g_2(x_1, x_2, \dots, x_n)$, 引线 l_1, l_2 上的故障分别为 l_1/b 和 l_2/c .

(1) 若 l_1 上的故障值 b 正向蕴涵至其支配点 l_2 得值 c , 则故障 l_1/b 与故障 l_2/c 等价;

(2) 若引线 l_1 与其支配点 l_2 上的无故障逻辑函数及故障值满足 $(g_1 \oplus b)(g_2 \oplus c) = g_1 \oplus b$ 时, 故障 l_2/c 支配 l_1/b .

3 扇出源及其分支故障关系的分析

电路中一个扇出源 Y 的逻辑函数为 $y = y(x_1, x_2, \dots, x_n)$, 具有两个扇出分支 Y_1 和 Y_2 的逻辑函数分别为 y_1 和 y_2 , 扇出分支汇聚至节点 G , G 的输入为 G_1, G_2 , 函数分别为 $g_1 = g_1(x_1, x_2, \dots, x_n)$, $g_2 = g_2(x_1, x_2, \dots, x_n)$, G 的输出函数 $g = g(x_1, x_2, \dots,$

x_n), 节点 G 最终连接至某个输出 f , 如图 1 所示.

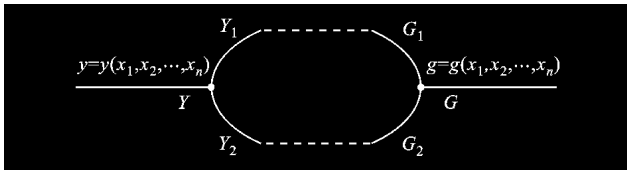


图1 重汇聚扇出源

分析扇出分支 Y_1, Y_2 对电路的影响, 将 Y_1, Y_2 看作电路的输入, 得

$$g = g(x_1, x_2, \dots, x_n, y_1, y_2) = A \oplus B y_1 \oplus C y_2 \oplus D y_1 y_2 \quad (5)$$

其中 A, B, C 和 D 与输入 $x_1, x_2, \dots, x_n$ 有关, 故障 $Y_1/b, Y_2/b$ 的检测函数分别为

$$t_{Y_1} = (y \oplus b) \frac{df}{dg} \frac{dg}{dy_1} = (y \oplus b)(B \oplus D y) \frac{df}{dg} \quad (6)$$

$$t_{Y_2} = (y \oplus b) \frac{df}{dg} \frac{dg}{dy_2} = (y \oplus b)(C \oplus D y) \frac{df}{dg} \quad (7)$$

分析扇出源 Y 对电路的影响, 令 $y = y_1 = y_2$, 故障 Y/b 的检测函数

$$t_Y = (y \oplus b) \frac{df}{dg} \frac{dg}{dy} = (y \oplus b)(B \oplus C \oplus D) \frac{df}{dg} \quad (8)$$

在分析扇出源及其分支之间的故障关系时, 本文引入扇出分支反向奇偶特性的定义, 扇出分支到达其重汇聚点经过了偶数个反向门时, 该分支具有偶特性, 反之该分支具有奇特性^[13].

逻辑函数 $f = f(x_1, x_2, \dots, x_n)$, 令 $f = A_i \oplus B_i x_i$, 其中 A_i, B_i 与其他输入有关, 且 $A_i, B_i \in (0, 1)$.

若 x_i 具有偶特性, f 与 x_i 同向, 那么 A_i, B_i 应满足

$$A_i B_i = 0 \quad (9)$$

若 x_i 具有奇特性, f 与 x_i 反向, 那么 A_i, B_i 应满足

$$A_i B_i = B_i \quad (10)$$

3.1 扇出分支具有相同的反向奇偶特性

以两个扇出分支都具有偶特性为例进行分析. 对于分支 Y_1, Y_2 为 0、1 两种情况都应满足偶特性, 根据式(5)、式(9), $AB=0$, 且 $(A \oplus C)(B \oplus D)=0$, 同理分析分支 Y_2 , 可得 $AC=0$, 且 $(A \oplus B)(C \oplus D)=0$, 可得

$$t_Y t_{Y_1} = (y \oplus b)(B \oplus D y) \frac{df}{dg} = t_{Y_1} \quad (11)$$

因此, 故障 Y/b 支配故障 Y_1/b , 同理可推导出 Y/b 支配故障 Y_2/b . 当扇出分支都具有奇特性时可以得到相同的结果.

结论 2 若扇出源 Y 具有 k 个扇出分支 Y_i , 其中 $i=0, 1, \dots, k$, 它们重汇聚于节点 G , 且具有相同的奇偶特性, 扇出源 Y 上故障 Y/b 支配所有扇出分支 Y_i 上的故障 Y_i/b .

3.2 扇出分支具有不同的奇偶特性

分析扇出源 Y 具有两个扇出分支 Y_1 和 Y_2 , 其中 Y_1 具有偶特性, Y_2 具有奇特性, 根据式(5)、式(9)、式(10), $AB=0$, 且 $(A \oplus C)(B \oplus D)=0$, $AC=C$, 且 $(A \oplus B)(C \oplus D)=C \oplus D$, 可得

$$t_{Y_1} t_{Y_2} = [(y \oplus b) \frac{df}{dg} \frac{dg}{dy_1}] [(y \oplus b) \frac{df}{dg} \frac{dg}{dy_2}] = 0 \quad (12)$$

因此, 故障 Y_1/b 与故障 Y_2/b 没有相同的测试集.

当重汇聚门 G 的类型不同时会有不同的结果, 以与门为例, $g = g_1 g_2$, 其中 $g_1 = A_1 \oplus B_1 y_1$, $g_2 = A_2 \oplus B_2 y_2$, 则

$$g = g_1 g_2 = A_1 A_2 \oplus A_2 B_1 y_1 \oplus A_1 B_2 y_2 \oplus B_1 B_2 y_1 y_2 \quad (13)$$

与式(5)对比, 故障 $Y/0$ 和 $Y_1/0$ 的检测函数满足 $t_{Y/0} t_{Y_1/0} = y(A_2 B_1 \oplus B_1 B_2) \frac{df}{dg} = (y \oplus 0)(B \oplus D y) \frac{df}{dg} = t_{Y_1/0}$, 扇出源故障 $Y/0$ 支配扇出分支故障 $Y_1/0$. 同理, 故障 $Y/1$ 和 $Y_2/1$ 的检测函数满足 $t_{Y/1} t_{Y_2/1} = \bar{y} A_1 B_2 \frac{df}{dg} = t_{Y_2/1}$, 扇出源的故障 $Y/1$ 支配扇出分支故障 $Y_2/1$.

结论 3 若扇出源 Y 具有 k 个扇出分支, 且重汇聚于电路中节点 G , 其中 Y_i 和 Y_j 分别具有偶特性和奇特性, $i, j \in 0, 1, \dots, k$, 对于可检测故障扇出源 Y 上的故障 Y/b , 扇出分支 Y_i 上的故障 Y_i/b 与扇出分支 Y_j 上的故障 Y_j/b 的关系如下:

(1) 扇出分支 Y_i 上的故障 Y_i/b 与扇出分支 Y_j 上的故障 Y_j/b 没有相同的测试集;

(2) 若重汇聚点 G 是与门或者与非门时, 扇出源故障 $Y/0$ 支配扇出分支故障 $Y_i/0$, 扇出源故障 $Y/1$ 支配扇出分支故障 $Y_j/1$;

(3) 若重汇聚点 G 的类型是或门或者或非门时, 扇出源故障 $Y/1$ 支配扇出分支故障 $Y_i/1$, 扇出源故障 $Y/0$ 支配扇出分支故障 $Y_j/0$.

4 故障压缩算法实现与实验结果

在传统等价压缩方法的基础上,根据上述结论,本文完成了相应的故障压缩算法,由等价故障组选取任意一个故障,被支配故障代替支配故障作为目标故障,总体流程如图 2 所示。

采用逻辑蕴含的方法对节点与其支配点的故障进行压缩,例如图 3 中的故障,引线 n_3 上的两个故障 $n_3/0$ 、 $n_3/1$,以及引线 n_6 上的两个故障 $n_6/0$ 、 $n_6/1$,引线 n_3 的支配点是 n_6 ,故障 $n_3/0$ 蕴涵至 $n_6/0$,根据结论 1,故障 $n_3/0$ 与 $n_6/0$ 等价。表 1 是电路的无故障蕴涵结果,由表 1 可以得出 $(g_{n_3} \oplus 1)(g_{n_6} \oplus 1) = (g_{n_3} \oplus 1)$,故障 $n_3/1$ 支配 $n_6/1$ 。

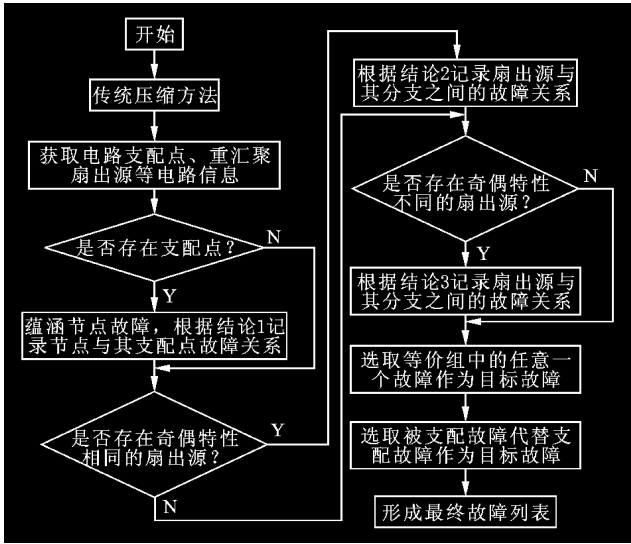


图 2 故障压缩算法流程

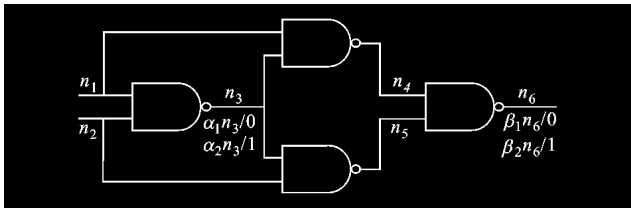


图 3 支配点故障分析实例

表 1 电路的无故障蕴涵结果

n_1	n_2	g_{n_3}	g_{n_6}
0	0	1	0
0	1	1	1
1	0	1	1
1	1	0	0

具有重汇聚扇出源与分支故障压缩,可直接通过对电路拓扑信息的分析获取扇出分支的奇偶性,根据上述结论进行压缩。例如图 4 中,扇出源 m_3 的两个扇出分支重汇聚于 m_{12} ,其中分支 m_7 、 m_8 分别具有奇特性、偶特性,根据结论 3, $m_3/0$ 支配 $m_7/0$, $m_3/1$ 支配 $m_8/1$ 。

应用文中的方法,对标准电路 ISCAS85 进行实验,表 2、表 3 分别给出电路的基本信息和实验结果。由表 3 可见,根据上述结论对传统等价压缩方法

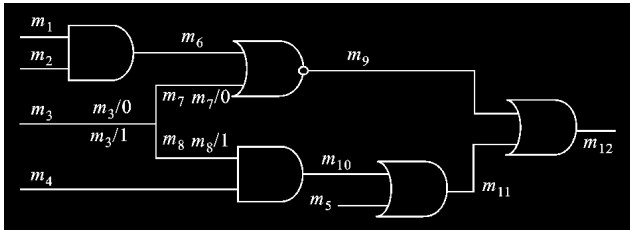


图 4 具有重汇聚扇出源与分支故障的分析实例

表 2 ISCAS85 标准电路

电路名称	门数	原始输入个数	原始输出个数	全部故障数
C432	160	36	7	864
C880	383	60	26	1 760
C1908	880	33	25	3 816
C2670	1 193	233	140	5 340
C3540	1 669	50	22	7 080
C5315	2 307	178	123	10 630
C7552	3 513	207	208	15 104

表 3 ISCAS85 标准电路的实验结果

电路名称	等价压缩故障个数	支配点故障压缩结果				重汇聚扇出故障压缩结果			最终故障数
		支配点故障数	等价故障对	支配故障对	可压缩故障数	重汇聚扇出源故障数	支配故障对	可压缩故障数	
C432	524	58	1	54	55	11	9	9	460
C880	968	324	54	180	234	116	30	30	704
C1908	2 041	1 332	216	232	448	660	213	213	1 380
C2670	2 943	1 768	401	340	741	1 079	307	307	1 895
C3540	3 428	1 309	410	246	656	626	198	198	2 574
C5315	5 663	2 763	437	526	963	1 323	407	407	4 293
C7552	8 084	4 904	1 011	980	1 991	2 423	585	585	5 508

处理后的故障,从支配点和重汇聚扇出源两个方面做进一步处理,找出电路中存在的等价故障对和支配故障对,最终故障数目减少 10%~20%,效果明显。

5 结束语

本文首先引入故障检测函数的概念,从布尔代数的理论出发,分析节点与其支配点间的故障关系,以及具有重汇聚扇出源及其分支间的故障关系,提出通过电路逻辑蕴含信息、拓扑信息形成有效的故障压缩方法,最后通过标准电路进行验证。在实际应用中,该方法可以快速判断出一个大规模电路中可测故障的等价与支配关系,并且实现简单,计算量比较小。

参考文献:

- [1] ABRAMOVICI M, BREUER M A, FRIEDMAN A D. Digital systems testing and testable design [M]. New York, USA: Computer Science, 1990.
- [2] BUSHNELL M L, AGRAWAL V D. Essentials of electronic testing for digital, memory and mixed-signal VLSI circuits[M]. Boston, MA, USA: Kluwer Academic Publishers, 2000.
- [3] ABRAMOVICI M, MILLER D T, ROY R K. Dynamic redundancy identification in automatic test generation [J]. IEEE Transactions on Computer-Aided Design, 1992, 11(3): 404-407.
- [4] McCLUSKEY E J, CLEGG F W. Fault equivalence in combinational logic networks [J]. IEEE Transactions on Computer, 1971, 20(11): 1286-1293.
- [5] GOUNDAN A, HAYES J P. Identification of equivalent faults in logic networks [J]. IEEE Transactions on Computer, 1980, 29(11): 978-985.
- [6] ROY B K. Diagnosis and fault equivalences in combinational circuits [J]. IEEE Transactions on Computer, 1974, 23(9): 955-963.
- [7] AMYEEN M E, FUCHS W K, POMERANZ I, et al. Fault equivalence identification in combinational circuits using implication and evaluation techniques[J]. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 2003, 22(7): 922-936.
- [8] HARTANTO I, BOPPANA V, FUCHS W K. Diagnostic fault equivalence identification using redundancy information & structural analysis[C]//Proceedings of International Test Conference. Altoona, USA: IEEE Computer Science Society Press, 1996: 294-302.
- [9] LIOY A. Looking for functional fault equivalence[C]//Proceedings of International Test Conference. Altoona, USA: IEEE Computer Science Society Press, 1991: 858-863.
- [10] LIOY A. Advanced fault collapsing [J]. IEEE Design & Test of Computers, 1992, 9(1): 64-71.
- [11] CHEN J E, LEE C L, SHEN W Z, et al. Fanout fault analysis for digital logic circuits[C]//Proceedings of the Fourth Asian Test Symposium. Los Alamitos, USA: IEEE Computer Science Society Press, 1995: 33-39.
- [12] KIRKLAND T, MERCER M R. A topological search algorithm for ATPG[C]//Proceedings of the IEEE/ACM Design Automation. Los Alamitos, USA: IEEE Computer Science Society Press, 1987: 502-508.
- [13] SCHULZ M H, TRISCHLER E, SARFERT T M. SOCRATES: a highly efficient automatic test pattern generation system [J]. IEEE Transactions on Computer-Aided Design, 1988, 7(1): 126-137.

(编辑 杜秀杰)